



PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : H01L 29/92, 21/3205	A1	(11) Internationale Veröffentlichungsnummer: WO 98/15013 (43) Internationales Veröffentlichungsdatum: 9. April 1998 (09.04.98)
---------------------------------------------------------------------------------------	-----------	----------------------------------------------------------------------------------------------------------------------------------------------------

(21) Internationales Aktenzeichen: **PCT/DE97/02133**
(22) Internationales Anmeldedatum: **19. September 1997**
(19.09.97)

(30) Prioritätsdaten:
196 40 246.8 **30. September 1996 (30.09.96)** **DE**

(71) Anmelder (für alle Bestimmungsstaaten ausser US): **SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).**

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **HARTNER, Walter**
[DE/DE]; Alemannenstrasse 20, D-89441 Medlingen
(DE). **SCHINDLER, Günther [DE/DE]; Ungererstrasse**
19, D-80802 München (DE). **MAZURE-ESPEJO, Carlos**
[DE/DE]; Grünlandstrasse 4, D-85604 Zorneding (DE).

(81) Bestimmungsstaaten: **CN, JP, KR, US, europäisches Patent**
(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU,
MC, NL, PT, SE).

Veröffentlicht

*Mit internationalem Recherchenbericht.
Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist. Veröffentlichung wird wiederholt falls Änderungen
eintreffen.*

BEST AVAILABLE COPY

(54) Title: **SEMICONDUCTOR DEVICE WITH A PROTECTED BARRIER FOR A STACK CELL**

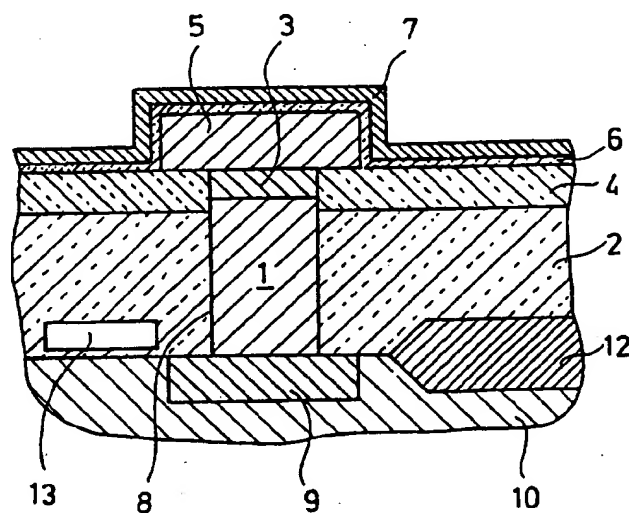
(54) Bezeichnung: **HALBLEITERANORDNUNG MIT GESCHÜTZTER BARRIERE FÜR EINE STAPELZELLE**

(57) Abstract

The invention relates to a semiconductor device for integrated circuits with a stack cell located in an insulating layer (2) having a plug (1) filled contact hole (8) with a capacitor with a lower electrode (5) turned towards the plug (1), a paraelectric or ferroelectric dielectric (6) and an upper electrode (7). A barrier layer (3) is located between the plug (1) and the lower electrode (5). Said layer is surrounded by a silicon nitride collar (4) preventing effective oxidation of barrier layer (3).

(57) Zusammenfassung

Die Erfindung betrifft eine Halbleiteranordnung für integrierte Schaltungen, bei der eine Stapelzelle in einer Isolierschicht (2) ein mit einem Plug (1) gefülltes Kontaktloch (8) aufweist, auf dem ein Kondensator mit einer unteren, dem Plug (1) zugewandten Elektrode (5), einem paraelektrischen oder ferroelektrischen Dielektrikum (6) und einer oberen Elektrode (7) vorgesehen ist. Zwischen dem Plug (1) und der unteren Elektrode (5) befindet sich eine Barrierschicht (3), die von einem Siliziumnitridkragen (4) umgeben ist, der eine Oxidation der Barrierschicht (3) zuverlässig verhindert.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Letland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauritanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NI	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Halbleiteranordnung mit geschützter Barriere für eine Stapel-
5 zelle

Die vorliegende Erfindung betrifft eine Halbleiteranordnung nach dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zum Herstellen einer derartigen Halbleiteranordnung.

10 Herkömmliche Speicherelemente von Halbleiter-Speicheranordnungen verwenden als Speicherdielektrikum zumeist Siliziumdioxid- oder auch Siliziumnitridschichten, welche aber beide lediglich eine Dielektrizitätskonstante im Bereich von etwa 6
15 besitzen. Eine höhere Dielektrizitätskonstante würde jedoch zu einer größeren Kapazität des entsprechenden Kondensators führen, so daß auch dessen Abmessungen vermindert werden könnten, wenn auf eine entsprechende Steigerung der Kapazität verzichtet wird. Mit anderen Worten, die Verwendung eines
20 Dielektrikums mit großer Dielektrizitätskonstante führt zu einer Verringerung der für den entsprechenden Kondensator benötigten Fläche und damit zu einer Steigerung der Integrationsdichte.

25 Die in diesem Zusammenhang durchgeführten Entwicklungen haben Materialien ergeben, die eine gegenüber 6 erheblich höhere Dielektrizitätskonstante aufweisen. So wurde beispielsweise als paraelektrisches Material $(\text{Ba}_x\text{ST}_{1-x})\text{TiO}_3$ (BST) entwickelt, das eine Dielektrizitätskonstante in der Größenordnung von
30 400 hat. Es liegt auf der Hand, daß BST eine erhebliche Steigerung der Integrationsdichte erlaubt, wenn es anstelle der üblichen Siliziumdioxid- bzw. Siliziumnitridschichten eingesetzt wird.

35 Weiterhin verwenden herkömmliche Speicherelemente, wie beispielsweise ein dynamischer Random-Speicher (DRAM) paraelektrische Materialien, die aber bei Ausfall der Versorgungs-

spannung ihre Ladung und somit auch die mit dieser gespeicherte Information verlieren. Außerdem müssen derartige herkömmliche Speicherelemente wegen des bei ihnen auftretenden Leckstromes ständig neu beschrieben werden, was als "refreshen" bezeichnet wird. Auch aus diesem Grund ist der Einsatz von neuartigen ferroelektrischen Materialien als Speicherdielektrikum wünschenswert, da nur so die Herstellung nichtflüchtiger Halbleiter-Speicheranordnungen möglich ist, die bei Ausfall der Versorgungsspannung nicht ihre Information verlieren und auch nicht ständig neu beschrieben werden müssen.

Zusammenfassend ergibt sich damit, daß bei Halbleiter-Speicheranordnungen der Einsatz ferroelektrischer Materialien als Speicherdielektrikum an sich wünschenswert ist, da so eine Steigerung der Integrationsdichte bei gleichzeitiger Sicherheit gegenüber einem Ausfall der Versorgungsspannung erreicht werden kann.

Die praktische Verwirklichung des Einsatzes derartiger ferroelektrischer oder auch paraelektrischer Materialien in Halbleiter-Speicheranordnungen hängt aber stark davon ab, wie sich diese Materialien in eine integrierte Halbleiter-Schaltungsanordnung einbauen lassen. Als solche ferroelektrische oder paraelektrische Materialien wurden bisher neben dem bereits erwähnten BST auch $(\text{Pb}, \text{Zr})\text{TiO}_3$ (PZT), $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT), $\text{SrBi}_2(\text{Ta}, \text{Nb})\text{O}_9$ (SBTN), SrTiO_3 (ST), ferro- und paraelektrische Polymere usw. bzw. allgemein ferro- und paraelektrische Materialien in Erwägung gezogen.

Obwohl diese Materialien hohe Dielektrizitätskonstanten aufweisen und aus diesem Grund auch schon bei ferroelektrischen Random-Speichern (FeRAM) eingesetzt werden, ist ihre Bedeutung in der Praxis noch begrenzt. Denn es hat sich gezeigt, daß die genannten Materialien mit hoher Dielektrizitätskonstante nicht ohne weiteres in Halbleiter-Speicheranordnungen eingesetzt werden können. So wird beispielsweise die Anwen-

dung von dielektrischen Materialien mit hoher Dielektrizitätskonstante oder von Ferroelektrika in hoch integrierten Stapelzellen von Halbleiter-Speicheranordnungen stark dadurch behindert, daß der sogenannte "Plug" bzw. das in ein Kontaktloch eingebrachte Füllmaterial bei Abscheidung des Dielektrikums oxidiert wird. Diese Oxidation findet speziell aufgrund der Tatsache statt, daß es sich bei den genannten Dielektrika mit hoher Dielektrizitätskonstanten und Ferroelektrika um Oxide handelt, die bei der Herstellung der Halbleiter- bzw. Kondensatoranordnung hohen Temperaturen in einer sauerstoffhaltigen Atmosphäre ausgesetzt werden müssen.

Da die üblicherweise für den Kondensatorkontakt verwendete Platin-Elektrode sauerstoffdurchlässig ist, oxidiert damit beispielsweise die Grenzfläche zwischen Plug und Elektrode, was mit einer elektrischen Unterbrechung gleichbedeutend ist.

Figur 3 zeigt eine derartige Halbleiteranordnung mit einer Speicherzelle. Bei dieser Halbleiteranordnung ist auf einen Halbleiterkörper 10 mit einem hochdotierten Bereich 9 eine dielektrische Isolatorschicht 2 aus z.B. Siliziumdioxid aufgebracht, in die ein Loch 8 geätzt ist. Dieses Loch 8 ist mit einem Füllmaterial bzw. Plug 1 gefüllt, der aus Wolfram oder polykristallinem Silizium besteht. Oberhalb des Plugs 1 ist eine Barrierschicht 3 vorgesehen, die beispielsweise aus WN, TiWN, TaN, WC usw. bestehen kann. Die Barrierschicht 3 trennt eine untere Elektrode 5 z.B. aus Platin von dem Plug 1. Auf der unteren Elektrode 5 befindet sich ein paraelektrisches oder ferroelektrisches Dielektrikum 6, auf das wiederum eine obere Elektrode 7 aufgetragen ist. Bei dieser Halbleiteranordnung tritt beginnend im Bereich 11 eine Oxidation des Materials der Barrierschicht 3 auf, was letztlich zu einer elektrischen Unterbrechung führen kann. Die Oxidation schreitet dabei vom Bereich 11 entlang der Grenzfläche 14 zwischen der Barrierschicht 3 und der Elektrode 5 und entlang der

Grenzfläche 15 zwischen der Barrierschicht 3 und der Isolationsschicht 2 fort.

5 Nicht zuletzt aus diesem Grund wird bisher in der Praxis die Integration eines ferroelektrischen oder paraelektrischen Dielektrikums in einer Speicheranordnung bei hoher Integrationsdichte als wenig Erfolg versprechend angesehen.

10 Um die oben erwähnte Oxidation der Schnittfläche zwischen Elektrode und Plug in großem Umfang zu vermeiden, werden bisher Di-
elektrika mit hoher Dielektrizitätskonstanten oder Ferroelektrika erst nach Fertigstellung einer herkömmlichen CMOS-Transistorstruktur über einem LOCOS-Gebiet planar abgeschieden.
15 Mit anderen Worten, neben einem MOS-Transistor, dessen Drain beispielsweise mit einer Bitleitung verbunden und dessen Gate an eine Wortleitung angeschlossen ist, wird über dem LOCOS-Gebiet ein Kondensator vorgesehen, dessen obere Elektrode aus z.B. Platin besteht, das mit der Source-Elektrode
20 eines MOS-Transistors verbunden ist, und dessen Isolierschicht aus einem Ferroelektrikum hergestellt ist, während die zweite Elektrode (common plate), die der ersten Elektrode durch das Ferroelektrikum gegenüberliegt, ebenfalls aus z.B. Platin hergestellt ist. Als Dielektrikum kann hierbei bei-
25 spielsweise SBT verwendet werden. Die Größen der auf diese Weise gebildeten Speicherzellen betragen beispielsweise $10,1 \mu\text{m} \times 16,5 \mu\text{m} = 167 \mu\text{m}^2 = 46 F^2$, wenn für F ein Grundmaß von $1,9 \mu\text{m}$ herangezogen wird. Die Fläche des Kondensators beträgt dabei etwa $3,3 \mu\text{m} \times 3,3 \mu\text{m} = 10,9 \mu\text{m}^2 = 3 F^2$. Mit anderen
30 Worten, es liegt ein relativ großer Platzbedarf für die Speicherzelle bzw. deren Verdrahtung zum Kondensator vor.

Vorteilhaft am Auftragen eines Kondensators über dem LOCOS-Gebiet ist aber, daß zur Herstellung der planaren ferroelektrischen Schicht des Kondensators ein Sputter- oder Solgel-
35 Ver-fahren benutzt werden kann und insbesondere durch das Aufbringen der ferroelektrischen Schicht, das in stark oxi-

dierender Umgebung stattfindet, die Diffusion von Sauerstoff durch die meist aus Platin bestehende Elektrode hindurch die darunter liegende Schicht nicht mehr beeinträchtigt, da hier bereits ein Oxid vorliegt.

5

Zusammenfassend ergibt sich damit, daß das Abscheiden einer CMOS-Transistorstruktur über dem LOCOS-Gebiet zwar ohne weiters möglich ist, jedoch zu einer erheblichen Verminderung der Integrationsdichte führt.

10

Ein direktes Auftragen der ferroelektrischen Schichten über dem elektrisch leitenden Plug ist zwar möglich, führt aber zu einer weiteren Oxidation und damit letztlich zu einer Isolation der elektrischen Verbindungen.

15

Es ist daher **A u f g a b e** der vorliegenden Erfindung, eine Halbleiteranordnung zu schaffen, die eine Integration von Bauelementen mit ferroelektrischen und paraelektrischen Materialien erlaubt und bei der unerwünschte Oxidationen im Bereich der Barrierschicht des Plugs zuverlässig vermieden sind; außerdem soll ein Verfahren zum Herstellen einer derartigen Halbleiteranordnung angegeben werden.

20

Zur Lösung dieser Aufgabe sieht die vorliegende Erfindung eine Halbleiteranordnung mit den Merkmalen des Patentanspruches 1 vor. Außerdem wird ein Verfahren mit den Merkmalen des Patentanspruches 5 geschaffen.

25

Vorteilhafte Weiterbildungen der Erfindung ergeben sich insbesondere aus den Patentansprüchen 2 bis 4.

30

Bei der erfindungsgemäßen Halbleiteranordnung ist also die Barrierschicht in einen "Siliziumnitridkragen", der durch die Siliziumnitridschicht gebildet ist, eingebettet. Dadurch wird das Material der Barrierschicht, also beispielsweise Tiannitrid, Wolframnitrid, Titanwolframnitrid, Tantalnitrid usw., vor einer Oxidation zuverlässig geschützt.

35

Durch den "Siliziumnitridkragen" wird eine laterale Sauerstoff-Diffusion bei der Herstellung des paraelektrischen oder ferroelektrischen Dielektrikums vermieden. Das heißt, es tritt praktisch keine laterale Oxidation der Barrierschicht auf, wie dies beim Stand der Technik der Fall ist. Außerdem wird erreicht, daß das Material, z.B. Platin, der unteren Elektrode gut auf der Siliziumnitridschicht haftet.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 einen Schnitt durch ein erstes Ausführungsbeispiel der erfindungsgemäße Halbleiteranordnung;

Fig. 2 einen Schnitt durch ein zweites Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung und

Fig. 3 einen Schnitt durch eine bestehende Halbleiteranordnung.

In den Figuren sind einander entsprechende Bauteile jeweils mit den gleichen Bezugszeichen versehen.

Wie in einem ersten Ausführungsbeispiel in Fig. 1 gezeigt ist, befindet sich bei der erfindungsgemäßen Halbleiteranordnung auf einem Siliziumsubstrat 10 mit einem hochdotierten Bereich 9 eine Siliziumdioxidschicht 2, die ein Kontaktloch 8 zu dem hochdotierten Bereich 9 aufweist. In der Siliziumdioxidschicht 2 bzw. auf dem Siliziumsubstrat 10 können noch weitere leitende oder hochdotierte Bereiche 13 und Isolati-

onsbereiche 12 vorgesehen sein. Diese hochdotierten Bereiche 13, 12 können beispielsweise Leiterbahnen oder LOCOS sein.

Das Kontaktloch 8 ist mit Füllmaterial bzw. Plug 1 versehen.
5 Zwischen dem Plug 1, dessen leitendes Material aus z.B. Wolfram, Silizium, Nitriden oder polykristallinem Silizium besteht, und einer unteren Elektrode 5 aus z.B. Platin ist eine Barrierschicht 3 angeordnet, die aus leitenden Nitriden, Karbiden, Boriden usw., wie z.B. WN, WC, WTiN, TaN, TiN, TiC
10 usw. hergestellt sein kann. Ein mögliches Material für den Plug 1 ist beispielsweise WSi. Die Barrierschicht 3 wird seitlich von einer Siliziumnitridschicht 4 umgeben, deren Oberseite in der gleichen Ebene wie die Oberseite der Barrierschicht 3 liegt. Die Oberseite der Barrierschicht 3 kann
15 aber auch etwas unterhalb der Oberseite der Siliziumnitridschicht 4 liegen. Auf die untere Elektrode 5 aus Platin ist ein paraelektrisches, superparaelektrisches oder ferroelektrisches Dielektrikum 6 aufgetragen, welches wiederum mit einer oberen Elektrode 7 bedeckt ist. Die obere Elektrode 7
20 und/oder die untere Elektrode 5 können auch aus Ruthenium, Iridium, Palladium oder leitenden Oxiden hiervon, wie RuO₂, IrO₂ usw. bestehen.

Die Herstellung der erfindungsgemäßen Halbleiteranordnung
25 kann beispielsweise in der folgenden Weise geschehen:

Zunächst wird die CMOS-Ebene mit dem Halbleiterkörper 10, den hochdotierten Bereichen 9 und 13, dem Isolationsbereich 12 und der Siliziumdioxidschicht 2 hergestellt. Vor Ätzung des
30 Kontaktloches 8 wird sodann die Siliziumnitridschicht 4 abgeschieden.

Nach Ätzung des Kontaktloches 8 und Auffüllung des Kontaktloches 8 mit Wolfram, leitendem Material, wie Siliziden oder
35 polykristallinem Silizium erfolgt eine Rückätzung zur Bildung einer Aussparung im oberen Bereich des Plugs 1. Die Tiefe dieser Rückätzung ist etwa an die Dicke der Siliziumnitrid-

schicht so angepaßt, daß sie etwas kleiner als die Dicke der Siliziumnitridschicht 4 ist. Sodann wird durch Sputtern oder MOCVD die Barrierschicht 3 im Bereich der Rückätzung aufgebracht. Durch beispielsweise einen Rückätz- oder Schleifprozeß wird die Oberfläche der Barrierschicht 3 mit der Oberfläche der Siliziumnitridschicht 4 ausgerichtet. Mit anderen Worten, die Siliziumnitridschicht 4 umgibt wie ein "Kragen" die Barrierschicht 3.

10 Auf die Barrierschicht 3 wird die untere Elektrode 5, die bevorzugt aus Platin besteht, aufgetragen. Sodann wird das paraelektrische, superparaelektrische oder ferroelektrische Dielektrikum 6 aufgebracht und strukturiert. Die Barrierschicht 3 wirkt während des Abscheidens des Dielektrikums 6
15 sowie bei den nachfolgenden oxidierenden Temperaturprozessen als Schutz gegen eindiffundierenden Sauerstoff und verhindert die Oxidation des Plugs 1. Die Siliziumnitridschicht 4 schützt dabei die eingebettete Barrierschicht 3 zuverlässig vor der Oxidation und gewährleistet die Integrität der Platin/Barrierschicht/Plug/ Struktur. Siliziumnitrid ist bekanntlich eine gute Sauerstoff-Diffusionsbarriere, die die Zufuhr von Sauerstoff im vorliegenden Fall zum Übergangsbereich zwischen Barrierschicht und unterer Elektrode aus der Umgebung verhindert.

25 Die vorliegende Erfindung erhöht damit den Oxidationswiderstand der Barrierschicht 3 in großem Ausmaß.

Fig. 2 zeigt ein weiteres Ausführungsbeispiel der Erfindung.
30 Bei diesem Ausführungsbeispiel ist die Wand des Kontaktloches 8 mit einer Zusatz-Siliziumnitridschicht 16 bedeckt, die nach der Ätzung des Kontaktloches 8 abgeschieden wird.

PATENTANSPRÜCHE

- 5 1. Halbleiteranordnung für integrierte Schaltungen, insbesondere Speicher, in DRAM- und FeRAM-Technik, bei der eine Stapelzelle in einer Isolierschicht (2) ein mit einem Füllmaterial bzw. Plug (1) gefülltes Kontaktloch (8) aufweist, auf dem ein Kondensator mit einer unteren, dem Füllmaterial (1) zugewandten
- 10 Elektrode (5), einem superparaelektrischen oder paraelektrischen oder ferroelektrischen Dielektrikum (6) und einer oberen Elektrode (7) vorgesehen ist, wobei zwischen dem Füllmaterial (1) und der unteren Elektrode (5) eine Barrierschicht (3) vorgesehen ist, die von Bereichen aus Siliziumnitrid vollständig
- 15 umgeben ist,
- d a d u r c h g e k e n n z e i c h n e t ,
- daß die Barrierschicht (3) in dem Kontaktloch (8) auf dem Füllmaterial (1) angeordnet ist,
- daß die Bereiche aus Siliziumnitrid von einer auf der Isolierschicht (2) angeordneten Siliziumnitridschicht (4) gebildet
- 20 sind,
- daß die Siliziumnitridschicht (4) an das Kontaktloch (8) angrenzt, und
- daß auf einer von der Barrierschicht (3) und der Siliziumnitridschicht (4) gebildeten Ebene die untere Elektrode (5), das
- 25 Dielektrikum (6) und die obere Elektrode (7) angeordnet sind.

2. Halbleiteranordnung nach Anspruch 1,
dadurch gekennzeichnet,
daß das Füllmaterial aus leitenden Materialien, insbesondere
5 aus Siliziden, Nitriden, Wolfram oder polykristallinem Silizium
besteht.

3. Halbleiteranordnung nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
10 daß die untere Elektrode (5) und/oder die obere Elektrode (7)
aus Platin, Ruthenium, Iridium, Palladium oder leitenden Oxiden
hiervon bestehen.

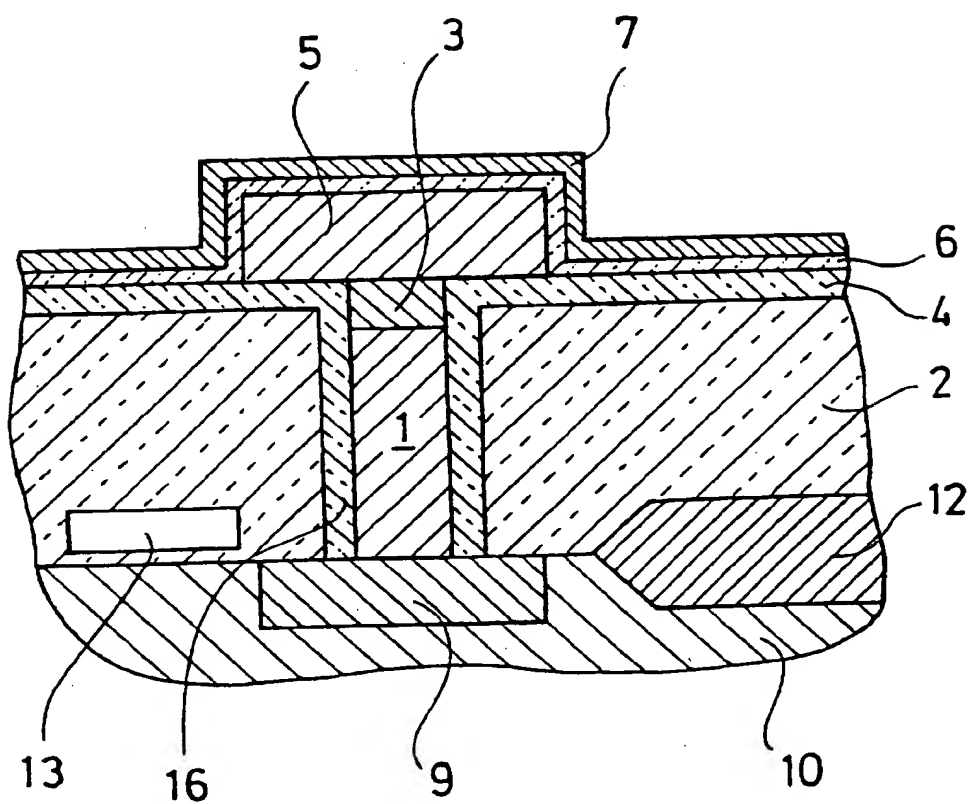
4. Halbleiteranordnung nach einem der Ansprüche 1 bis 3,
15 dadurch gekennzeichnet,
daß die Barrierschicht (3) aus WN, WC, WTiN, TaN, TiN oder TiC
besteht.

5. Verfahren zur Herstellung der Halbleiteranordnung nach einem
20 der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
daß nach Herstellung einer CMOS-Ebene mit einem Halbleiterkörper (10) auf diesem eine Isolierschicht (2) erzeugt und eine
Siliziumnitridschicht (4) aufgetragen wird,
25 daß in die Siliziumnitridschicht (4) und die Isolierschicht (2)
ein Kontaktloch (8) eingebracht wird,

daß das Kontaktloch (8) mit leitendem Füllmaterial (1), insbesondere aus Siliziden, Nitriden, Wolfram oder polykristallinem Silizium, aufgefüllt wird,
daß in dem Füllmaterial (1) eine Aussparung erzeugt wird, die
5 eine an die Dicke der Siliziumnitridschicht (4) angepaßte Tiefe hat,
daß in der Aussparung eine Barrierschicht (3) erzeugt wird,
daß die Barrierschicht (3) durch einen Schleif- oder Rückätzprozeß in die Siliziumnitridschicht (4) eingebettet wird, und
10 daß nacheinander die untere Elektrode (5), das Dielektrikum (6) und die obere Elektrode (7) aufgebracht werden.

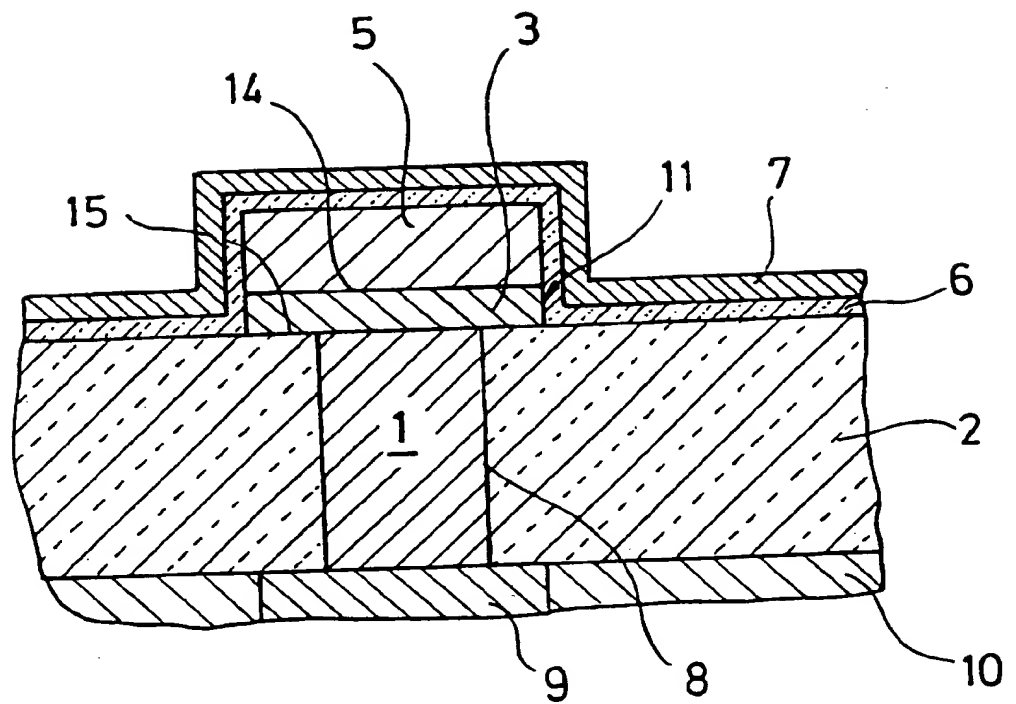
6. Verfahren nach Anspruch 5,
dadurch gekennzeichnet,
15 daß nach Ätzung des Kontaktloches (8) auf dessen Wand eine Siliziumnitridschicht (16) abgeschieden wird.

Fig. 2



3 / 3

Fig. 3



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 97/02133

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L29/92 H01L21/3205

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 506 166 A (SANDHU GURTEJ S ET AL) 9 April 1996	1-5
A	see column 3, line 64 - column 7, line 20; figures 2-13B	6
X	EP 0 697 719 A (TEXAS INSTRUMENTS INC) 21 February 1996	1-5
A	see page 2, line 25 - page 3, line 35; table KOMPLET see page 5, line 42 - line 46; figures 1,2 see page 7, line 3 - page 14, line 10; figures 10-17	6

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"A" document member of the same patent family

Date of the actual completion of the international search

16 January 1998

Date of mailing of the international search report

27/01/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 97/02133

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5506166 A	09-04-96	US 5381302 A	10-01-95
		US 5392189 A	21-02-95
		US 5478772 A	26-12-95
EP 0697719 A	21-02-96	US 5504041 A	02-04-96
		JP 8064786 A	08-03-96
		US 5679980 A	21-10-97

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 97/02133

A. KLASSTFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L29/92 H01L21/3205

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 506 166 A (SANDHU GURTEJ S ET AL) 9. April 1996	1-5
A	siehe Spalte 3, Zeile 64 - Spalte 7, Zeile 20; Abbildungen 2-13B	6
X	EP 0 697 719 A (TEXAS INSTRUMENTS INC) 21. Februar 1996	1-5
A	siehe Seite 2, Zeile 25 - Seite 3, Zeile 35; Tabelle KOMPLET siehe Seite 5, Zeile 42 - Zeile 46; Abbildungen 1,2 siehe Seite 7, Zeile 3 - Seite 14, Zeile 10; Abbildungen 10-17	6



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

16. Januar 1998

Absenddatum des internationalen Recherchenberichts

27/01/1998

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 97/02133

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5506166 A	09-04-96	US 5381302 A	10-01-95
		US 5392189 A	21-02-95
		US 5478772 A	26-12-95
<hr/>			
EP 0697719 A	21-02-96	US 5504041 A	02-04-96
		JP 8064786 A	08-03-96
		US 5679980 A	21-10-97
<hr/>			

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.